

PCT/JP/96/0230804

08/809468

日本国特許庁

20.08.96

PATENT OFFICE
JAPANESE GOVERNMENT

REC'D 30 AUG 1996
WIPO PCT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日

Date of Application:

1995年 8月24日

出願番号

Application Number:

平成 7年特許願第239120号

出願人

Applicant(s):

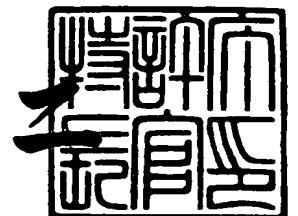
ソニー株式会社

PRIORITY DOCUMENT

1996年 5月31日

特許庁長官
Commissioner,
Patent Office

清川 佑



出証番号 出証特平08-3030196

【書類名】 特許願

【整理番号】 S95060038

【提出日】 平成 7年 8月24日

【あて先】 特許庁長官 清川 佑二 殿

【国際特許分類】 H01L 29/40

【発明の名称】 オーミック電極形成用積層体

【請求項の数】 8

【発明者】

【住所又は居所】 京都府京都市左京区吉田本町（番地なし） 京都大学
工学部金属加工学教室内

【氏名】 内堀 千尋

【発明者】

【住所又は居所】 京都府京都市左京区吉田本町（番地なし） 京都大学
工学部金属加工学教室内

【氏名】 村上 正紀

【発明者】

【住所又は居所】 東京都品川区北品川6丁目7番35号 ソニー株式会社
内

【氏名】 和田 勝

【発明者】

【住所又は居所】 東京都品川区北品川6丁目7番35号 ソニー株式会社
内

【氏名】 中村 光宏

【特許出願人】

【識別番号】 000002185

【氏名又は名称】 ソニー株式会社

【代表者】 出井 伸之

【代理人】

【識別番号】 100082762

特平 7-239120

【弁理士】

【氏名又は名称】 杉浦 正知

【電話番号】 03-3980-0339

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9006427

【書類名】 明細書

【発明の名称】 オーミック電極形成用積層体

【特許請求の範囲】

【請求項1】 III-V族化合物半導体基体上に順次形成された、非単結晶半導体層および少なくとも窒化金属薄膜を含む薄膜であって、上記非単結晶半導体層と上記薄膜との間のエネルギー障壁の高さは上記III-V族化合物半導体基体と上記薄膜との間のエネルギー障壁の高さよりも低いものから成ることを特徴とするオーミック電極形成用積層体。

【請求項2】 上記III-V族化合物半導体基体はGaAs、AlGaAsまたはInGaAsから成ることを特徴とする請求項1記載のオーミック電極形成用積層体。

【請求項3】 上記非単結晶半導体層は非単結晶 $\text{In}_x\text{Ga}_{1-x}\text{As}$ 層であることを特徴とする請求項1記載のオーミック電極形成用積層体。

【請求項4】 上記薄膜は金属薄膜および上記金属薄膜上に形成された窒化金属薄膜を有することを特徴とする請求項1記載のオーミック電極形成用積層体。

【請求項5】 上記窒化金属薄膜上にさらに高融点金属薄膜が形成されていることを特徴とする請求項4記載のオーミック電極形成用積層体。

【請求項6】 上記高融点金属薄膜上にさらに配線用金属薄膜が形成されていることを特徴とする請求項5記載のオーミック電極形成用積層体。

【請求項7】 上記金属薄膜はNi薄膜、Co薄膜またはAl薄膜であり、上記窒化金属薄膜はWN薄膜、WSiN薄膜、Ta₂N薄膜、TaSiN薄膜、TiN薄膜、TiSiN薄膜またはTiON薄膜であることを特徴とする請求項4記載のオーミック電極形成用積層体。

【請求項8】 上記高融点金属薄膜はW薄膜、Ta薄膜またはMo薄膜であることを特徴とする請求項5記載のオーミック電極形成用積層体。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、オーミック電極形成用積層体に関し、特に、III-V族化合物半導体に対するオーミック電極の形成に適用して好適なものである。

【0002】

【従来の技術】

化合物半導体を用いたFETなどのデバイスの高性能化や信頼性の向上を図る上で、オーミック電極の接触抵抗の低減や熱安定性の向上は重要な課題である。しかしながら、化合物半導体、特にGaAs系半導体などのIII-V族化合物半導体に対するオーミック電極は、上記の要求を満足するものが得られていないのが現状である。

【0003】

現在、GaAs系半導体に対するオーミック電極の材料として最もよく用いられているものは、AuGe/Niである。このAuGe/Niをオーミック電極の材料として用いた場合には、400～500℃の熱処理により、GaAs系半導体とオーミック接触するオーミック電極を形成することができる。

【0004】

このようにAuGe/Niをオーミック電極の材料として用いる場合の最も大きな問題は、この材料を用いて形成されるオーミック電極の熱安定性が悪いことである。すなわち、AuGe/Ni中にAuが多量に含まれている（通常用いられるAuGe中には88%のAuが含まれている）ことにより、400℃以上の温度でGaAsとAuとが反応して β -AuGa（六方最密（HCP）構造で融点 $T_m = 375^\circ\text{C}$ ）が形成されるため、オーミック電極の接触抵抗は低下するものの、熱安定性は劣化する。その結果、オーミック電極形成後に行われる化学気相成長（CVD）などの高温プロセスによりデバイス特性の劣化が引き起こされる。

【0005】

この問題を図8に示すGaAs JFETの製造プロセスを例にとって具体的に説明すると、次のようになる。すなわち、この製造プロセスでは、まず、図8Aに示すように、半絶縁性GaAs基板101中に、n型不純物の選択的なイオ

ン注入およびその後の熱処理によりn型チャネル層102を形成する。次に、半絶縁性GaAs基板101の全面に Si_3N_4 膜のような絶縁膜103を形成した後、この絶縁膜103の所定部分をエッチング除去して開口103aを形成する。この後、この開口103aを通じてn型チャネル層102中にp型不純物としてZnを拡散させることにより p^+ 型ゲート領域104を形成する。次に、ゲート電極材料として全面に例えばTi/Pt/Au膜を形成した後、その上にゲート電極に対応する形状のレジストパターン（図示せず）を形成し、このレジストパターンをマスクとしてTi/Pt/Au膜をイオンミリング法によりパターニングする。これによって、図8Bに示すように、ゲート電極105が形成される。次に、絶縁膜103の所定部分をエッチング除去して開口103b、103cを形成した後、これらの開口103b、103cの部分におけるn型チャネル層102上に、AuGe/Niを材料として用いてそれぞれソース電極およびドレイン電極としてのオーミック電極106、107を形成する。次に、図8Cに示すように、それぞれオーミック電極106、107と接続された一層目の配線108、109を形成する。次に、図8Dに示すように、後述の二層目の配線との電氣的絶縁のための例えば Si_3N_4 膜のような層間絶縁膜110をCVD法により全面に形成した後、この層間絶縁膜110の所定部分をエッチング除去して開口110a、110bを形成する。ここで、この層間絶縁膜110をCVD法により形成する際に400℃近い高温プロセスを経るため、デバイス特性の劣化が生じるのである。二層目の配線を形成するには、二層目の配線のコンタクト部などを除いた部分の表面に例えばレジスト111を形成する。次に、全面に二層目の配線形成用の材料を形成した後、レジスト111を除去する。これによって、図8Eに示すように、二層目の配線112、113がエアーブリッジ配線として形成される。

【0006】

上述のようにオーミック電極の材料としてAuGe/Niを用いた場合には、上記の問題のほかに、GaAsとAuとの反応により $\beta\text{-AuGa}$ が形成されることにより、オーミック電極の表面の面荒れが生じ、これが後の微細加工を行う上で大きな問題となっている。

【0007】

これらの問題を解決するため、これまでに種々のオーミック電極材料の研究が行われている。ところで、オーミック接触を考えた場合、最も理想的とされるのは、図9に示すように、電極金属との界面におけるエネルギー障壁を低下させ、上述の $\beta\text{-AuGa}$ のような低融点の化合物を含まない金属でオーミック接触を得ることである。なお、図9において、 E_c および E_v はそれぞれ伝導帯の下端のエネルギーおよび価電子帯の上端のエネルギー、 E_F はフェルミエネルギーを示す。この図9に示す構造のオーミック電極は、有機金属化学気相成長(MOCVD)法などのエピタキシャル成長法によりGaAs基板上に $\text{In}_x\text{Ga}_{1-x}\text{As}$ 層を低エネルギー障壁の中間層として形成し、その上に電極金属を形成することにより得られている。しかしながら、このような構造のオーミック電極を得るためにMOCVD装置などのエピタキシャル成長装置を用いることは、プロセスウィンドウを小さくし、また、量産性も悪くする。

【0008】

このような問題を解決するために、低エネルギー障壁の中間層としてのInAs層をInAsをターゲットとして用いたスパッタリング法により形成するとともに、W薄膜およびNi薄膜は電子ビーム蒸着法を用いて形成して、InAs/W構造、InAs/Ni/W構造、Ni/InAs/Ni/W構造などの積層体をGaAs基板上に形成し、その後に熱処理を行うことにより、熱安定性が良好なオーミック電極を形成することができることが報告されている(J. Appl. Phys. 68, 2475(1990))。図10はその一例を示し、n型GaAs基板200上にスパッタリング法によりInAs層201を形成し、さらにこのInAs層201上にNi薄膜202およびW薄膜203を順次形成した後、熱処理を行うことによりオーミック電極を形成する。

【0009】

この方法は、InAs層201の形成に高速で成膜を行うことができるスパッタリング法を用いているので、非常に量産性に優れている。また、このオーミック電極は、その最上層に高融点金属であるW薄膜203を用いていることから、このオーミック電極に接続する金属配線の材料としてAl、Auといったあらゆる

る金属をバリアメタルを用いることなく利用することができるなど、プロセスの自由度も大きい。しかしながら、この方法では、熱処理時に微量のInがW薄膜203上に拡散することにより、十分に低い接触抵抗を得ることができないという大きな問題を有している。また、熱処理時にInがW薄膜203上に拡散する結果、オーミック電極の表面が荒れ、モフォロジーが極めて悪くなるという問題もある。

【0010】

近年、このオーミック電極の表面モフォロジーの問題を解決するために、InAs/Ni/WSi/W構造の積層体をGaAs基板上に形成し、その後に熱処理を行うことによりオーミック電極を形成する方法が本出願人により提案されている（特開平7-94444号公報）。しかしながら、この方法により形成されるオーミック電極は、AuGe/Niを用いて形成される従来のオーミック電極と比べて接触抵抗が高いという問題がある。また、オーミック電極を形成するために必要な熱処理の温度も700～800℃程度と高いことから、この熱処理の際に不純物の拡散が起きやすく、不純物の再分布が引き起こされるという問題がある。これは、例えば、バイポーラトランジスタのように狭い領域に高不純物濃度のベース層を形成するとき問題となる。

【0011】

【発明が解決しようとする課題】

上述のように、従来のGaAs系半導体に対するオーミック電極はいずれも不満足なものであるため、実用上満足しうる特性を有するオーミック電極の実現が望まれていた。

【0012】

従って、この発明の目的は、GaAs系半導体その他のIII-V族化合物半導体に対する、実用的に満足しうる特性を有するオーミック電極を容易に形成することができるオーミック電極形成用積層体を提供することにある。

【0013】

【課題を解決するための手段】

上記目的を達成するため、この発明によるオーミック電極形成用積層体は、

III-V族化合物半導体基体上に順次形成された、非単結晶半導体層および少なくとも窒化金属薄膜を含む薄膜であって、非単結晶半導体層と薄膜との間のエネルギー障壁の高さはIII-V族化合物半導体基体と薄膜との間のエネルギー障壁の高さよりも低いものから成ることを特徴とする。

【0014】

この発明において、III-V族化合物半導体基体には、例えばGaAs、AlGaAs、InGaAsなどから成る基板または層が含まれる。また、このIII-V族化合物半導体基体がn型である場合、このIII-V族化合物半導体基体中にはドナーとなる不純物として、例えばSi、Ge、Te、Snなどが含まれる。これらのドナーとなる不純物は、例えばイオン注入、液相エピタキシー（LPE）、分子線エピタキシー（MBE）、有機金属気相エピタキシー（MOVPE）などの方法によりIII-V族化合物半導体基体中に導入される。

【0015】

非単結晶半導体層には非単結晶 $\text{In}_x\text{Ga}_{1-x}\text{As}$ 層（ただし、 $0 < x \leq 1$ ）などが含まれる。ここで、「非単結晶」とは、単結晶ではなく、多結晶または非晶質であることを意味する。この非単結晶半導体層は、好適には、スパッタリング法により形成されるが、他の方法、例えば真空蒸着法、特に電子ビーム蒸着法によって形成してもよい。この非単結晶半導体層をスパッタリング法により形成する場合には、ターゲットとしてこの非単結晶半導体層と同一の半導体材料から成る単一のターゲットを用いた通常のスputタリング法を用いることができるほか、この非単結晶半導体層の各構成元素から成る複数のターゲットを用いた同時スパッタリング法を用いることもできる。

【0016】

III-V族化合物半導体基体と非単結晶半導体層との間には、非単結晶半導体層のIII-V族化合物半導体基体に対する濡れ性を向上させるためなどの目的で、例えばNi薄膜のような金属薄膜を形成してもよい。

【0017】

この発明の典型的な一実施形態においては、非単結晶半導体層上の薄膜は、金属薄膜およびこの金属薄膜上に形成された窒化金属薄膜を有する。この場合、金

属薄膜は、より低い温度での熱処理により低い接触抵抗のオーミック電極を形成することができるようにするためなどの理由により用いられる。また、窒化金属薄膜は、熱処理時に非単結晶半導体層の構成元素、例えばInが電極表面側に拡散するのを防止するために用いられる。この窒化金属薄膜上には、オーミック電極のシート抵抗の低減を図るためや、バリアメタルを用いることなくオーミック電極に金属配線を接続することができるようにするためなどの理由により、好適には、窒化金属薄膜に比べて抵抗率が低く、しかも配線に用いられる材料との反応が起こりにくい高融点金属薄膜が形成される。ここで、金属薄膜としては、Ni薄膜、Al薄膜、Co薄膜などを用いることができる。また、窒化金属薄膜としては、WN薄膜、WSiN薄膜、Ta₂N薄膜、TaSiN薄膜、TiN薄膜、TiSiN薄膜、TiON薄膜などを用いることができる。これらの窒化金属薄膜は、結晶質（多結晶など）であっても非晶質であってもよい。さらに、高融点金属薄膜としては、W薄膜、Mo薄膜、Ta薄膜などを用いることができる。

【0018】

上記の高融点金属薄膜上には、オーミック電極のシート抵抗の低減を図り、このオーミック電極を配線としても用いることができるようにするために、配線用金属薄膜、例えばAl薄膜、Al合金（Al-Si、Al-Cu、Al-Si-Cuなど）薄膜、Au薄膜、Au/Ti薄膜などを形成してもよい。

【0019】

非単結晶半導体層上の薄膜、すなわち金属薄膜、窒化金属薄膜、高融点金属薄膜などは、スパッタリング法や、真空蒸着法、特に電子ビーム蒸着法によって形成することができる。これらの金属薄膜、窒化金属薄膜、高融点金属薄膜などをスパッタリング法により形成する場合には、ターゲットとしてこれらと同一の材料から成る単一のターゲットを用いた通常のスputタリング法を用いることができるほか、これらの各構成元素から成る複数のターゲットを用いた同時スパッタリング法を用いることもできる。また、これらの金属薄膜、窒化金属薄膜、高融点金属薄膜などを真空蒸着法により形成する場合には、これらと同一の材料から成る単一の蒸着源またはこれらの各構成元素から成る複数の蒸着源を用いることができる。さらに、高融点金属薄膜は、場合によってはCVD法により形成して

もよい。

【0020】

この発明によるオーミック電極形成用積層体によれば、このオーミック電極形成用積層体をIII-V族化合物半導体基体上に形成した後、例えば500～600℃程度の温度で熱処理を行うことにより、実用上デバイスに要求される特性、すなわち熱安定性、低接触抵抗、表面の平坦性などの特性を満足するオーミック電極を容易に形成することができる。また、この場合、オーミック電極の形成に必要な熱処理の温度は500～600℃程度と低いので、この熱処理の際に不純物の拡散が起きるのを防止することができ、不純物の再分布を防止することができる。

【0021】

【発明の実施の形態】

以下、この発明の実施形態について図面を参照しながら説明する。なお、実施形態の全図において、同一または対応する部分には同一の符号を付す。

【0022】

図1はこの発明の第1の実施形態によるオーミック電極の形成方法を示す。

【0023】

この第1の実施形態においては、まず、図1Aに示すように、 n^+ 型GaAs基板1上にフォトリソグレイスを塗布した後、このフォトリソグレイスをフォトリソグラフィによりパターンニングし、形成すべきオーミック電極に対応する部分に開口を有するレジストパターン2を形成する。このレジストパターン2の厚さは、後述の非単結晶 $In_{0.7}Ga_{0.3}As$ 層3、Ni薄膜4、WN薄膜5およびW薄膜6の合計の厚さよりも十分に大きくなるように選ばれる。また、このフォトリソグラフィにおける露光は、例えば縮小投影露光装置（いわゆるステッパー）のような光学式露光装置を用いて行われる。なお、このレジストパターン2の形成は、電子線レジストと電子ビームリソグラフィ法とを用いて行うようにしてもよい。

【0024】

次に、図1Bに示すように、まず、例えば $In_{0.7}Ga_{0.3}As$ をターゲット

として用いたスパッタリング法（例えば、マグネトロンスパッタリング法）により非単結晶 $\text{In}_{0.7}\text{Ga}_{0.3}\text{As}$ 層 3 を全面に形成し、引き続いて例えばスパッタリング法や電子ビーム蒸着法により Ni 薄膜 4、 WN 薄膜 5 および W 薄膜 6 を順次全面に形成する。ここで、スパッタリング法、例えばマグネトロンスパッタリング法により非単結晶 $\text{In}_{0.7}\text{Ga}_{0.3}\text{As}$ 層 3 を形成する場合には、成膜室内を例えばベース圧力 $2 \times 10^{-5} \text{Pa}$ に真空排気した後、この成膜室内に Ar ガスを例えば圧力 $3 \times 10^{-1} \text{Pa}$ まで導入し、この Ar ガスを DC 放電させる。この場合の使用電力は、例えば 150W である。また、成膜は例えば室温で行われる。このとき、成膜速度は例えば 7nm/分 である。さらにまた、スパッタリング法、例えばマグネトロンスパッタリング法により WN 薄膜 5 を形成する場合には、成膜室内を例えばベース圧力 $2 \times 10^{-5} \text{Pa}$ に真空排気した後、この成膜室内に N_2 ガスを例えば圧力 $3 \times 10^{-1} \text{Pa}$ まで導入し、この N_2 ガスを DC 放電させる。この場合の使用電力は例えば 150W であり、成膜は例えば室温で行われる。なお、 N_2 ガスの代わりに N_2 ガスと Ar ガスとの混合ガスを用いてもよい。また、上に挙げたスパッタリング法はいわゆる DC スパッタリング法であるが、場合によっては、この DC スパッタリング法の代わりに RF スパッタリング法を用いてもよい。

【0025】

次に、上述のようにして非単結晶 $\text{In}_{0.7}\text{Ga}_{0.3}\text{As}$ 層 3、 Ni 薄膜 4、 WN 薄膜 5 および W 薄膜 6 が形成された n^+ 型 GaAs 基板 1 を例えばアセトンのような有機溶剤に浸けてレジストパターン 2 を溶解除去することにより、このレジストパターン 2 上に形成された非単結晶 $\text{In}_{0.7}\text{Ga}_{0.3}\text{As}$ 層 3、 Ni 薄膜 4、 WN 薄膜 5 および W 薄膜 6 を除去する。この結果、図 1C に示すように、レジストパターン 2 の開口部に対応する部分における n^+ 型 GaAs 基板 1 上にのみ非単結晶 $\text{In}_{0.7}\text{Ga}_{0.3}\text{As}$ 層 3、 Ni 薄膜 4、 WN 薄膜 5 および W 薄膜 6 が残される。

【0026】

次に、これらの非単結晶 $\text{In}_{0.7}\text{Ga}_{0.3}\text{As}$ 層 3、 Ni 薄膜 4、 WN 薄膜 5 および W 薄膜 6、すなわちオーミック電極形成用積層体が形成された n^+ 型 Ga

As 基板 1 を、例えば RTA (Rapid Thermal Annealing) 法や一般的な電気炉による方法により例えば 500~600℃ で短時間、例えば 1 秒~数分間の熱処理を行う。この熱処理の際の雰囲気としては、例えば N₂ ガスや、微量の H₂ ガスを添加した N₂ ガスから成る雰囲気を用いる。この熱処理の結果、図 1 D に示すように、オーミック電極 7 が形成される。

【0027】

図 2 は、この第 1 の実施形態による方法により形成されたオーミック電極 7 の接触抵抗の熱処理温度依存性の測定結果の一例を示す。測定に用いた試料は、非単結晶 In_{0.7}Ga_{0.3}As 層 3、WN 薄膜 5 および W 薄膜 6 の厚さをそれぞれ 14 nm、25 nm および 50 nm に固定し、Ni 薄膜 4 の厚さを 9 nm、10 nm および 11 nm の 3 水準に変え、これらの非単結晶 In_{0.7}Ga_{0.3}As 層 3、Ni 薄膜 4、WN 薄膜 5 および W 薄膜 6 を n⁺ 型 GaAs 基板 1 上に形成した後、RTA 法により 450~655℃ の範囲で温度を変えて 1 秒間熱処理を行うことによりオーミック電極を形成したものである。ただし、これらの熱処理の際の雰囲気としては、5% の H₂ ガスが添加された N₂ ガス雰囲気を用いた。また、n⁺ 型 GaAs 基板 1 としては、(100) 面方位の半絶縁性 GaAs 基板に Si をイオン注入して n 型化した、不純物濃度が $2 \times 10^{18} \text{ cm}^{-3}$ のものを用いた。接触抵抗の測定は TLM (Transmission Line Method) 法により行った。図 2 より、熱処理温度が 550℃ のときに接触抵抗は最も低くなり、約 0.2 Ω mm と極めて低い接触抵抗値が得られていることがわかる。

【0028】

図 3 は、非単結晶 In_{0.7}Ga_{0.3}As 層 3、Ni 薄膜 4、WN 薄膜 5 および W 薄膜 6 から成るオーミック電極形成用積層体を n⁺ 型 GaAs 基板 1 上に形成した後、RTA 法により 550℃ で 1 秒間熱処理を行ってオーミック電極 7 を形成し、さらに 400℃ で 10 時間熱処理を行った後のオーミック電極 7 の表面を撮影した光学顕微鏡写真を示す。ただし、非単結晶 In_{0.7}Ga_{0.3}As 層 3、Ni 薄膜 4、WN 薄膜 5 および W 薄膜 6 の厚さはそれぞれ 14 nm、10 nm、25 nm および 25 nm である。図 3 より、400℃ で 10 時間熱処理を行った後の状態におけるオーミック電極 7 の表面モフォロジーは極めて良好であること

のみならず、熱安定性に関しても極めて良好であることがわかる。このように良好な表面モフォロジーが得られる理由は、オーミック電極形成用積層体におけるWN薄膜5の存在により、熱処理時に非単結晶 $\text{In}_{0.7}\text{Ga}_{0.3}\text{As}$ 層3から In が電極表面側に拡散するのが防止されるためである。

【0029】

また、オーミック電極7を形成した後に試料を400℃で10時間熱処理したときのこのオーミック電極7の接触抵抗の経時変化、すなわちオーミック電極7の熱安定性を測定したところ、図4に示すような結果が得られた。ただし、非単結晶 $\text{In}_{0.7}\text{Ga}_{0.3}\text{As}$ 層3、Ni薄膜4、WN薄膜5およびW薄膜6の厚さはそれぞれ25nm、10nm、25nmおよび50nmである。図4においては、比較のために、WN薄膜を含まないオーミック電極形成用積層体を用いて形成したオーミック電極、具体的には厚さ25nmの非単結晶 $\text{In}_{0.7}\text{Ga}_{0.3}\text{As}$ 層上に厚さ15nmのNi薄膜および厚さ50nmのW薄膜を形成したオーミック電極形成用積層体を用いて形成したオーミック電極、および、厚さ23nmの非単結晶 InAs 層上に厚さ15nmのNi薄膜および厚さ50nmのW薄膜を形成したオーミック電極形成用積層体を用いて形成したオーミック電極の熱安定性の測定結果も示してある。

【0030】

図4より、厚さ25nmの非単結晶 $\text{In}_{0.7}\text{Ga}_{0.3}\text{As}$ 層上に厚さ15nmのNi薄膜および厚さ50nmのW薄膜を形成したオーミック電極形成用積層体を用いて形成したオーミック電極の接触抵抗は、熱処理開始後1時間程度で増加し始めており、熱安定性が悪いことがわかる。また、厚さ23nmの非単結晶 InAs 層上に厚さ15nmのNi薄膜および厚さ50nmのW薄膜を形成したオーミック電極形成用積層体を用いて形成したオーミック電極の接触抵抗は、熱処理開始後10時間経過しても一定値を維持していて熱安定性は良好であるが、接触抵抗は0.45Ωmm程度とあまり低くはない。これに対し、WN薄膜を含むオーミック電極形成用積層体を用いて形成したこの第1の実施形態によるオーミック電極7の接触抵抗は、熱処理開始後10時間経過しても一定値を維持していて熱安定性が良好である上に、接触抵抗も0.2Ωmm程度と極めて低い。ここ

で、このように良好な熱安定性が得られる理由は、オーミック電極7中には、AuGe/Niを用いてオーミック電極を形成した場合にこのオーミック電極中に含まれる β -AuGaのような低融点の化合物が含まれていないため、および、WN薄膜5により非単結晶 $\text{In}_{0.7}\text{Ga}_{0.3}\text{As}$ 層3からInが電極表面側に拡散するのが防止されるためである。

【0031】

以上のように、この第1の実施形態によれば、 n^+ 型GaAs基板1上に、非単結晶 $\text{In}_{0.7}\text{Ga}_{0.3}\text{As}$ 層3、Ni薄膜4、WN薄膜5およびW薄膜6から成るオーミック電極形成用積層体を形成した後、例えばRTA法により500～600℃の熱処理を例えば1秒行うことにより、低接触抵抗かつ低膜抵抗で表面の平坦性あるいは表面モフォロジーも良好でさらに熱安定性も良好なオーミック電極7を容易に形成することができる。このオーミック電極7は、図9に示す理想的なエネルギーバンド構造に近いエネルギーバンド構造を有する。このオーミック電極7はまた、その最上部が高融点金属であるWから成るため、バリアメタルを用いることなく、金属配線を直接接続することができる。また、オーミック電極7の形成に用いられる非単結晶 $\text{In}_{0.7}\text{Ga}_{0.3}\text{As}$ 層3は、高速で成膜を行うことができるスパッタリング法により形成しているので、このオーミック電極7を高い生産性で形成することができる。そして、このオーミック電極7の接触抵抗はAuGe/Niを用いて形成される従来のオーミック電極と同等の低い値であることから、このオーミック電極7を用いた半導体素子の特性を損なうこともない。さらに、オーミック電極7の形成に必要な熱処理の温度は500～600℃と低いので、この熱処理の際に不純物の拡散が起き、不純物の再分布が生じるのを有効に防止することができる。

【0032】

次に、この発明の第2の実施形態について説明する。

【0033】

この第2の実施形態においては、第1の実施形態において用いた図1Cに示すようなオーミック電極形成用積層体の代わりに、図5に示すようなオーミック電極形成用積層体を用いる。この図5に示すオーミック電極形成用積層体が図1C

に示すオーミック電極形成用積層体と異なる点は、W薄膜6が形成されていないことである。その他のことは、第1の実施形態と同様であるので、説明を省略する。

【0034】

この第2の実施形態によっても、第1の実施形態とほぼ同様な良好な特性を有するオーミック電極を容易にしかも高い生産性で形成することができる。

【0035】

次に、この発明の第3の実施形態について説明する。

【0036】

この第3の実施形態においては、第1の実施形態において用いた図1Cに示すようなオーミック電極形成用積層体の代わりに、図6に示すようなオーミック電極形成用積層体を用いる。この図6に示すオーミック電極形成用積層体が図1Cに示すオーミック電極形成用積層体と異なる点は、W薄膜6上にさらにA1薄膜8が形成されていることである。

【0037】

この第3の実施形態においては、図1Bに示すと同様にW薄膜6まで形成した後、このW薄膜6上にA1薄膜8を例えばスパッタリング法や電子ビーム蒸着法により形成する。そして、その後、第1の実施形態で述べたと同様にしてリフトオフを行うことにより、オーミック電極形成部および n^+ 型GaAs基板1上に非単結晶 $In_{0.7}Ga_{0.3}As$ 層3、Ni薄膜4、WN薄膜5、W薄膜6およびA1薄膜8から成るオーミック電極形成用積層体を形成する。この場合、リフトオフを行いやすくするために、リフトオフに用いるレジストパターンを2層構造にして厚くし、さらにこのレジストパターンが例えばポジ型レジストからなる場合には、下層のレジストパターンに、より感光しやすいレジストを用いるなどの工夫をしてもよい。

【0038】

この第3の実施形態によれば、オーミック電極形成用積層体の最上層にA1薄膜8が形成されていることにより、このオーミック電極形成用積層体を用いて形成されるオーミック電極7のシート抵抗の低減を図ることができる。これによっ

て、このオーミック電極7をICの配線やキャパシタの電極として用いることができる。また、このため、配線工程が簡略され、設計の自由度が広がるという利点もある。

【0039】

次に、この発明の第4の実施形態について説明する。

【0040】

この第4の実施形態においては、GaAs MESFETの製造プロセスにおけるオーミック電極の形成に第2の実施形態によるオーミック電極の形成方法を用い、かつ、オーミック電極の形成と同時にゲート電極をも形成する場合について説明する。

【0041】

すなわち、この第4の実施形態においては、まず、図7Aに示すように、半絶縁性GaAs基板9のn型チャネル層形成部にドナーとなる不純物を低濃度を選択的にイオン注入するとともに、半絶縁性GaAs基板9のソース領域およびドレイン領域形成部にドナーとなる不純物を高濃度を選択的にイオン注入した後、例えば700～800℃の温度で熱処理を行うことにより注入不純物を電氣的に活性化してn型チャネル層10、 n^+ 型のソース領域11およびドレイン領域12を形成する。

【0042】

次に、図7Bに示すように、第1の実施形態で述べたと同様なリフトオフ法により、オーミック電極形成部に非単結晶 $In_{0.7}Ga_{0.3}As$ 層3およびNi薄膜4から成る積層体を形成する。

【0043】

次に、例えばスパッタリング法により全面にWN薄膜を形成した後、このWN薄膜上に、形成すべきゲート電極およびオーミック電極に対応した形状のレジストパターン（図示せず）をリソグラフィー法により形成し、このレジストパターンをマスクとしてWN薄膜を例えば CF_4/O_2 系のエッチングガスを用いた反応性イオンエッチング（RIE）法によりエッチングする。その後、レジストパターンを除去する。これによって、図7Cに示すように、オーミック電極形成部

に非単結晶 $\text{In}_{0.7}\text{Ga}_{0.3}\text{As}$ 層 3、Ni 薄膜 4 および WN 薄膜 5 から成るオーミック電極形成用積層体が形成されるとともに、n 型チャネル層 10 上に WN 薄膜から成るゲート電極 13 が形成される。なお、上記の WN 薄膜を用いて配線を形成することも可能である。

【0044】

次に、例えば RTA 法により $500\sim 600^{\circ}\text{C}$ の温度で熱処理を行う。これによって、図 7D に示すように、第 1 の実施形態で述べたと同様にしてソース電極またはドレイン電極として用いられるオーミック電極 14、15 が形成され、目的とする GaAs MESFET が完成される。

【0045】

以上のように、この第 4 の実施形態によれば、ソース電極またはドレイン電極として用いて好適な良好な特性を有するオーミック電極 14、15 を容易に形成することができ、しかもこれらのオーミック電極 14、15 の形成に用いられるオーミック電極形成用積層体の形成時にゲート電極 13 を同時に形成することができる。これによって、GaAs MESFET の製造工程の簡略化を図ることができる。

【0046】

次に、この発明の第 5 の実施形態について説明する。

【0047】

この第 5 の実施形態においては、n 型 III-V 族化合物半導体に対するオーミック電極と p 型 III-V 族化合物半導体に対するオーミック電極とを両方とも必要とする半導体素子を製造する場合に、これらのオーミック電極をこの発明によるオーミック電極形成用積層体を用いて同時に形成する。

【0048】

具体的には、例えば、GaAs JFET の製造において、半絶縁性 GaAs 基板中に p^{+} 型のゲート領域、n 型のソース領域およびドレイン領域を形成した後、これらのゲート領域、ソース領域およびドレイン領域上にそれぞれ例えば第 1 の実施形態と同様なオーミック電極形成用積層体を形成し、その後例えば $500\sim 600^{\circ}\text{C}$ の温度で熱処理を行うことにより、これらのゲート領域、ソース領

域およびドレイン領域上にそれぞれのオーミック電極を同時に形成することができる。

【0049】

また、III-V族化合物半導体を用いたヘテロ接合バイポーラトランジスタ（HBT）、例えば、エミッタ層にn型AlGaAs層を用い、ベース層にp型GaAs層を用い、コレクタ層にn型GaAs層を用い、これらのエミッタ層、ベース層およびコレクタ層に対するオーミック電極が必要なHBTの製造において、これらのエミッタ層、ベース層およびコレクタ層上のオーミック電極形成部に例えば第1の実施形態と同様なオーミック電極形成用積層体を形成し、その後例えば500～600℃の温度で熱処理を行うことにより、これらのエミッタ層、ベース層およびコレクタ層上にそれぞれのオーミック電極を同時に形成することができる。

【0050】

以上、この発明の実施形態につき具体的に説明したが、この発明は、上述の実施形態に限定されるものではなく、この発明の技術的思想に基づく各種の変形が可能である。

【0051】

例えば、上述の第1の実施形態～第4の実施形態において用いられたNi薄膜4の代わりに、Co薄膜またはAl薄膜を用いてもよい。

【0052】

また、上述の第1の実施形態～第3の実施形態においては、オーミック電極形成用積層体をリフトオフ法により形成しているが、このオーミック電極形成用積層体は、 n^+ 型GaAs基板1の全面にこのオーミック電極形成用積層体を構成する層をスパッタリング法などにより順次形成した後にこれらをエッチング法によりオーミック電極の形状にパターンニングすることにより形成するようにしてもよい。

【0053】

さらに、上述の第1の実施形態～第4の実施形態においては、GaAs基板に対するオーミック電極の形成にこの発明を適用した場合について説明したが、例

えばエピタキシャル成長などにより形成されたGaAs層に対するオーミック電極の形成にこの発明を適用することも可能である。

【0054】

また、この発明は、III-V族化合物半導体を用いた高電子移動度トランジスタ(HEMT)、例えばAlGaAs/GaAs HEMTにおけるソース領域およびドレイン領域に対するオーミック電極の形成に適用することも可能である。

【0055】

【発明の効果】

以上述べたように、この発明によるオーミック電極形成用積層体によれば、II-V族化合物半導体基体上に順次形成された、非単結晶半導体層および少なくとも窒化金属薄膜を含む薄膜であって、非単結晶半導体層と薄膜との間のエネルギー障壁の高さはIII-V族化合物半導体基体と薄膜との間のエネルギー障壁の高さよりも低いものから成ることにより、III-V族化合物半導体に対する、実用的に満足しうる特性を有するオーミック電極を容易に形成することができる。

【図面の簡単な説明】

【図1】

この発明の第1の実施形態によるオーミック電極の形成方法を説明するための断面図である。

【図2】

この発明の第1の実施形態によるオーミック電極の形成方法により形成されたオーミック電極の接触抵抗の熱処理温度依存性の測定結果の一例を示すグラフである。

【図3】

この発明の第1の実施形態によるオーミック電極の形成方法においてオーミック電極形成用積層体を形成した後に550℃で1秒間熱処理を行うことによりオーミック電極を形成し、さらに400℃で10時間熱処理を行った後のオーミック電極の表面を撮影した光学顕微鏡写真である。

【図4】

この発明の第1の実施形態によるオーミック電極の形成方法により形成された

オーミック電極の熱安定性の測定結果の一例を示すグラフである。

【図5】

この発明の第2の実施形態によるオーミック電極の形成方法において用いられるオーミック電極形成用積層体を示す断面図である。

【図6】

この発明の第3の実施形態によるオーミック電極の形成方法において用いられるオーミック電極形成用積層体を示す断面図である。

【図7】

この発明の第4の実施形態によるGaAs MESFETの製造方法を説明するための断面図である。

【図8】

オーミック電極材料としてAuGe/Niを用いる従来のオーミック電極の形成方法をGaAs JFETの製造プロセスにおけるオーミック電極の形成に用いた場合の問題点を説明するための断面図である。

【図9】

理想的なオーミック電極のエネルギーバンド図である。

【図10】

従来のオーミック電極の形成方法において用いられるInAs/Ni/W構造のオーミック電極形成用積層体を示す断面図である。

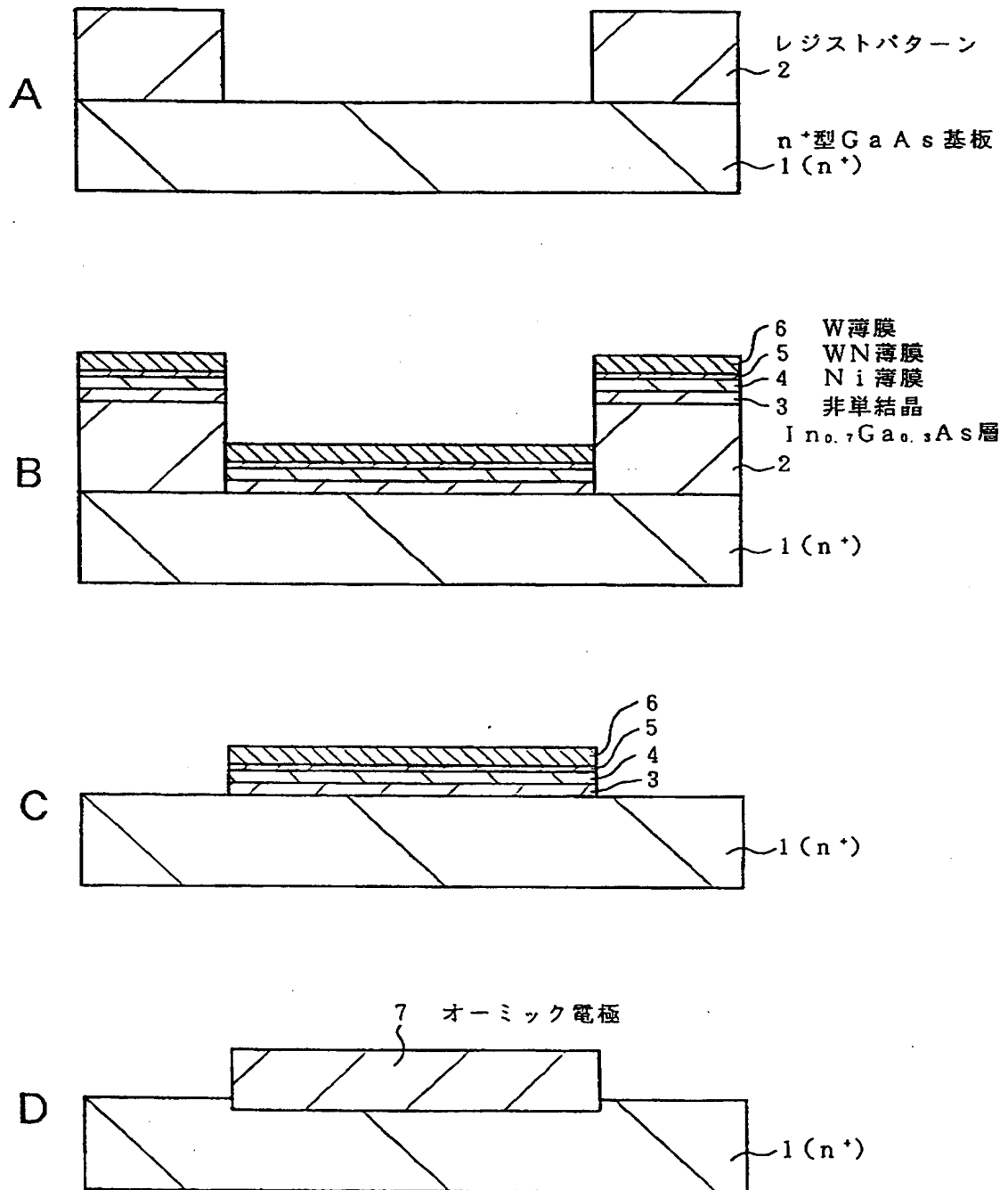
【符号の説明】

- 1 n^+ 型GaAs基板
- 3 非単結晶 $\text{In}_{0.7}\text{Ga}_{0.3}\text{As}$ 層
- 4 Ni薄膜
- 5 WN薄膜
- 6 W薄膜
- 7 オーミック電極
- 8 Al薄膜

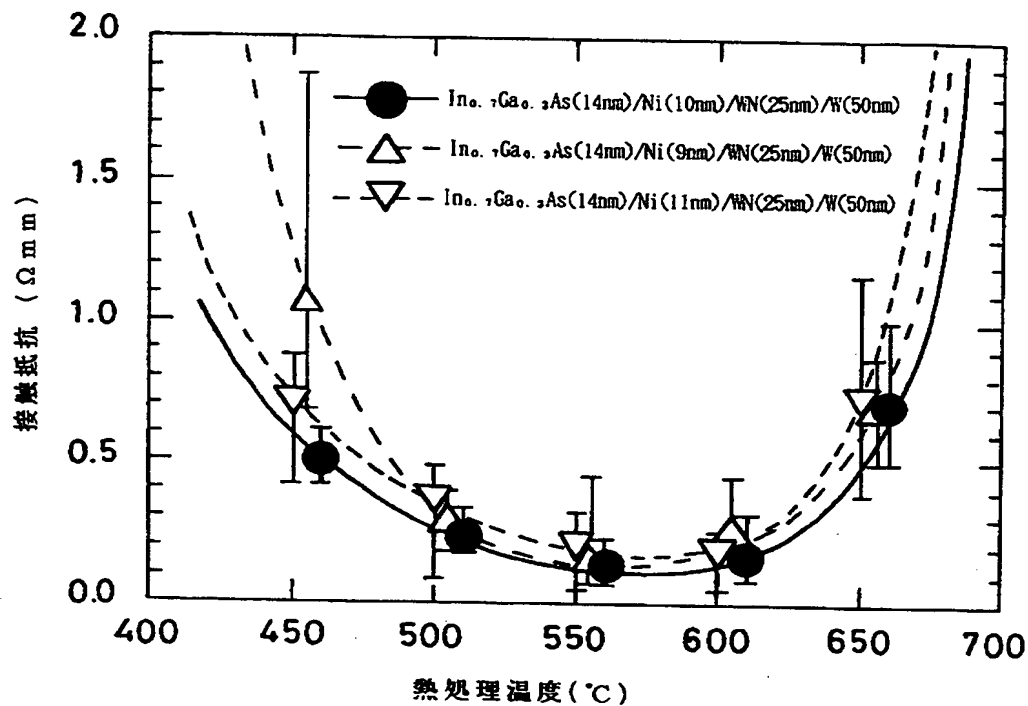
【書類名】

図面

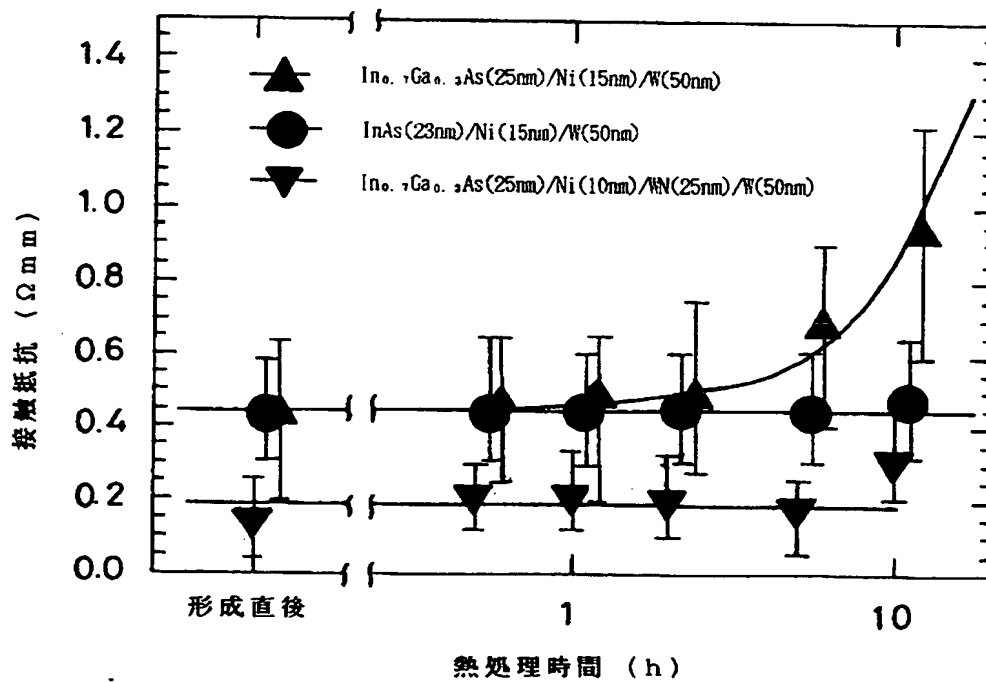
【図1】



【図2】

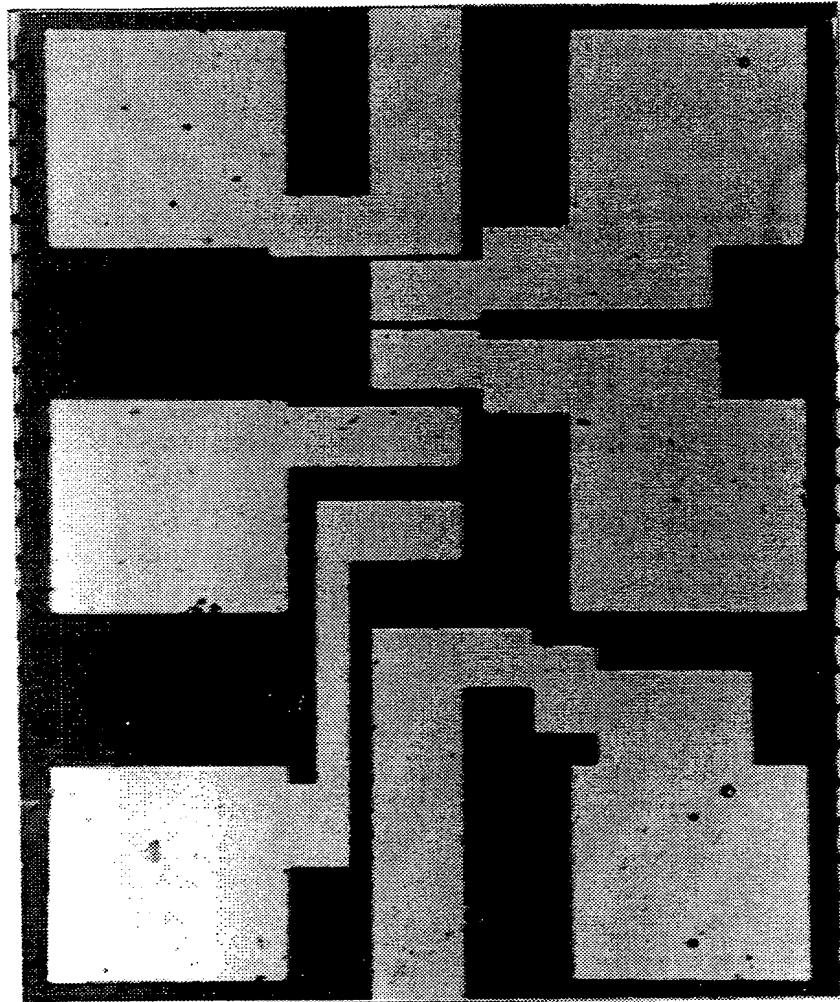


【図4】



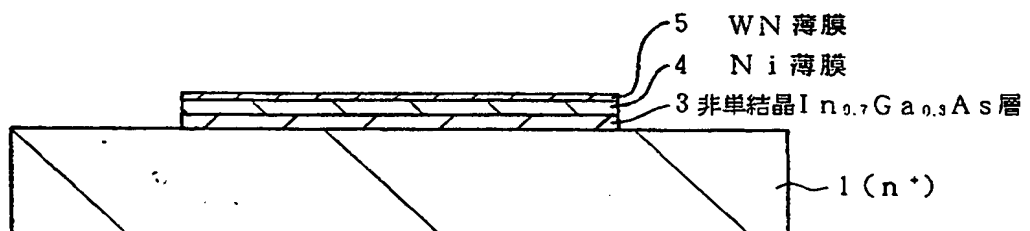
【図3】

図面代用写真

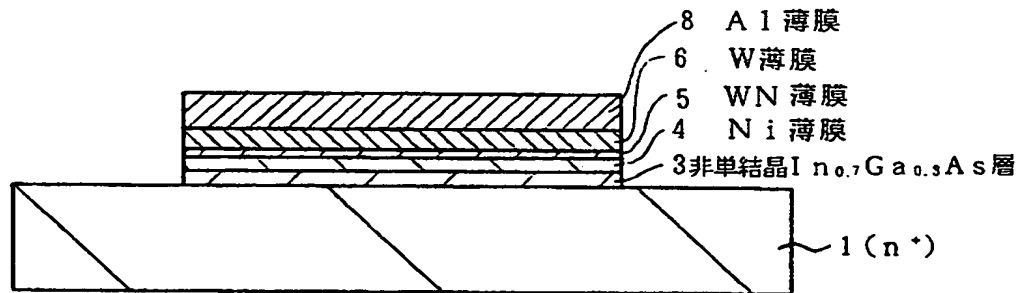


50 μm

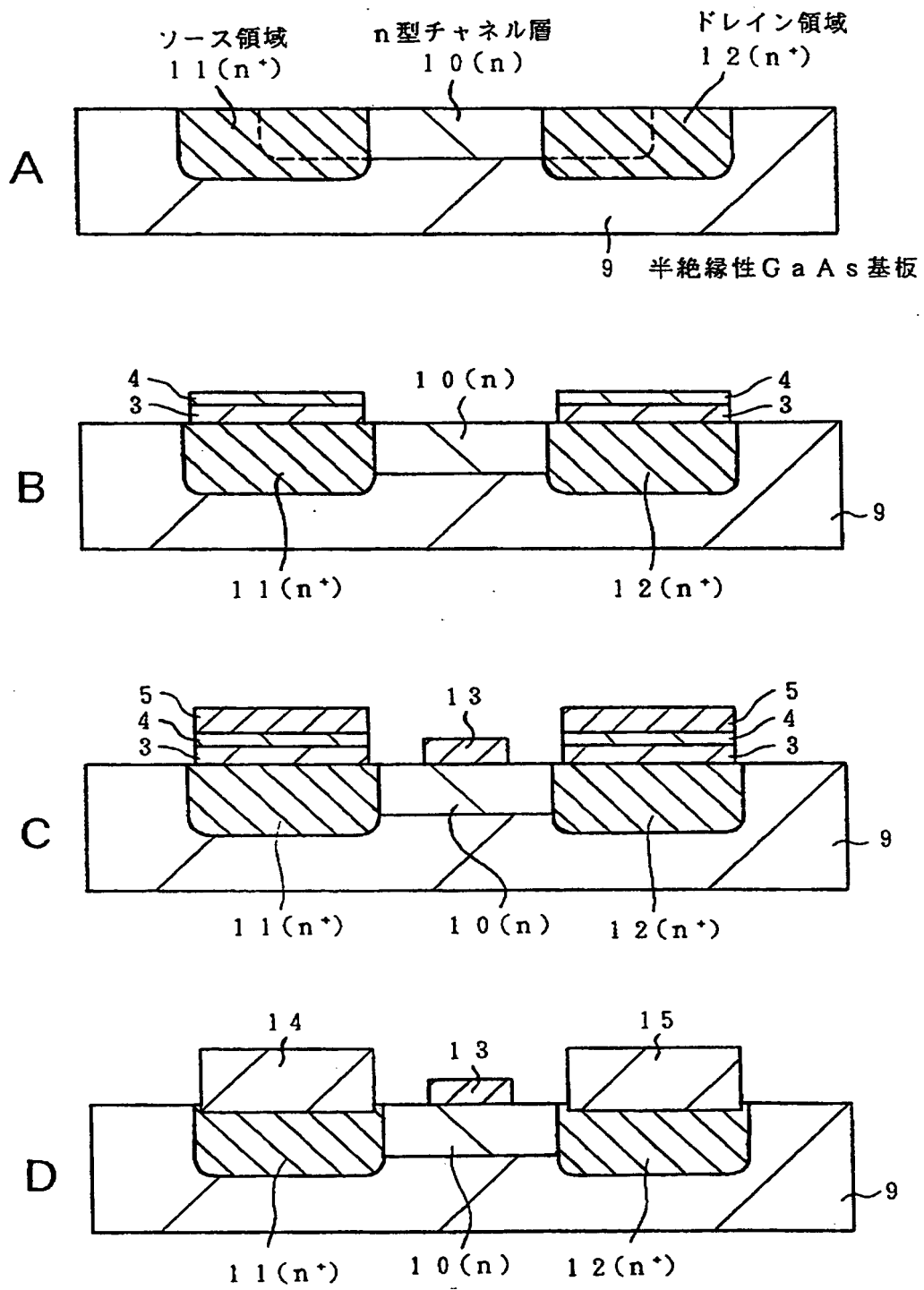
【図5】



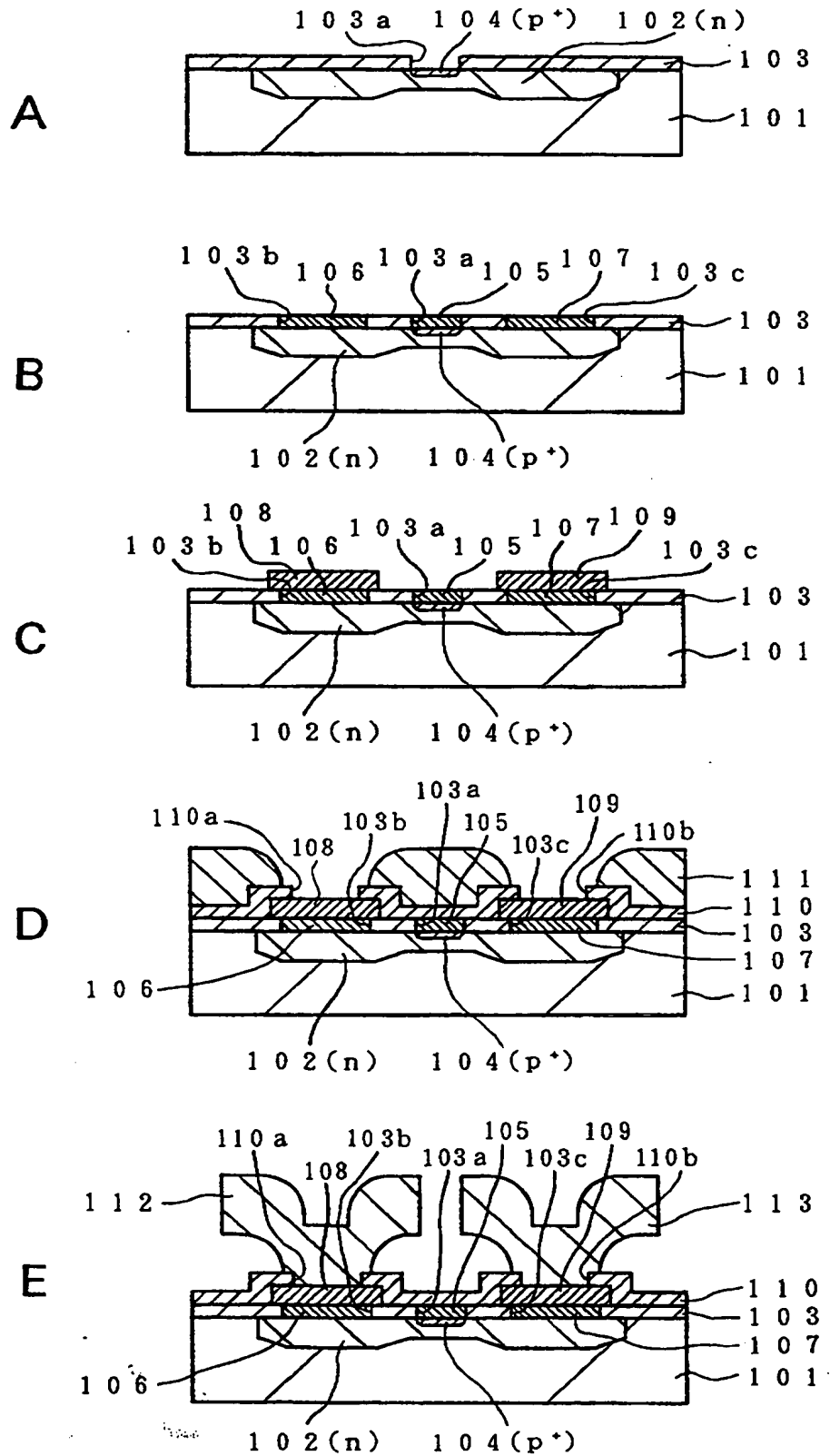
【図6】



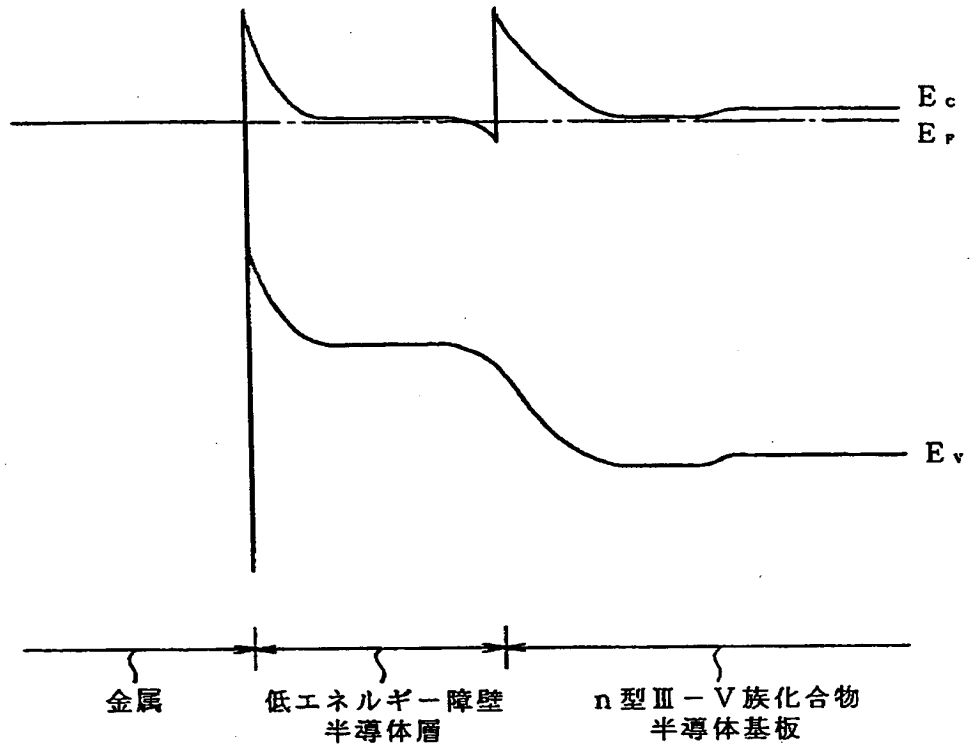
【図7】



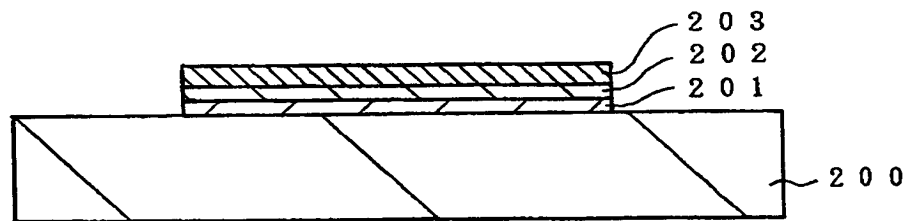
【図8】



【図9】



【図10】



【書類名】 要約書

【要約】

【課題】 GaAs系半導体などのIII-V族化合物半導体に対する実用的に満足しうる特性を有するオーミック電極を実現する。

【解決手段】 n^+ 型GaAs基板1上に、スパッタリング法などにより非単結晶 $In_{0.7}Ga_{0.3}As$ 層3、Ni薄膜4、WN薄膜5およびW薄膜6を順次形成し、これらをリフトオフなどによりパターニングしてオーミック電極形成用積層体を形成した後、例えばRTA法により550℃で1秒間熱処理を行うことによりオーミック電極7を形成する。

【選択図】 図1

特平 7-239120

【書類名】 職権訂正データ
【訂正書類】 特許願

<認定情報・付加情報>

【特許出願人】

【識別番号】 000002185

【住所又は居所】 東京都品川区北品川6丁目7番35号

【氏名又は名称】 ソニー株式会社

【代理人】 申請人

【識別番号】 100082762

【住所又は居所】 東京都豊島区東池袋1-48-10 25山京ビル
420号 杉浦特許事務所

【氏名又は名称】 杉浦 正知

特平 7-239120

出 願 人 履 歴 情 報

識別番号

[000002185]

1. 変更年月日 1990年 8月30日

[変更理由] 新規登録

住 所 東京都品川区北品川6丁目7番35号

氏 名 ソニー株式会社

THIS PAGE BLANK (USPTO)

THIS PAGE BLANK (USPTO)